

POWERED BY Dialog

IMAGE SENSOR

Publication Number: 2000-175107 (JP 2000175107 A) , June 23, 2000

Inventors:

- MURAMATSU YOSHITOKU
- KUROSAWA SUSUMU
- NAKASHIBA YASUTAKA
- NAGATA TAKESHI

Applicants

- NEC CORP

Application Number: 10-343456 (JP 98343456) , December 02, 1998

International Class:

- H04N-005/335
- H01L-027/146

Abstract:

PROBLEM TO BE SOLVED: To provide an image sensor where a dynamic range of a photoelectric conversion voltage output is wide and a step-down voltage power supply for preventing blooming is not required. **SOLUTION:** In the disclosed image sensor, a pixel circuit is configured with a photo diode 14 that generates a photoelectric conversion voltage in response to an input optical level, a transistor(TR) 11 that is activated in response to a reset signal RST to initialize the photo diode 14 by using a power supply VDD, a TR, 12 that is connected between a point of the power supply VDD and a bit line BL, amplifies the photoelectric conversion voltage and outputs the amplified voltage to the bit line BL, and a TR 13 that is activated by a word line read control signal WL to connect the TR 12 to the bit line BL. A depletion TR is adopted for the TR 11. Thus, A dynamic range of the photoelectric conversion voltage output of the pixel can be widened without using a booster power supply to increase an initializing level of a pixel light receiving section. COPYRIGHT: (C)2000,JPO

JAPIO

© 2005 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 6589314

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-175107

(P2000-175107A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 4 N 5/335		H 0 4 N 5/335	E 4 M 1 1 8
H 0 1 L 27/146		H 0 1 L 27/14	A 5 C 0 2 4

審査請求 有 請求項の数 8 O L (全 11 頁)

(21)出願番号 特願平10-343456

(22)出願日 平成10年12月2日(1998.12.2)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 村松 良徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 黒沢 晋

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100099830

弁理士 西村 征生

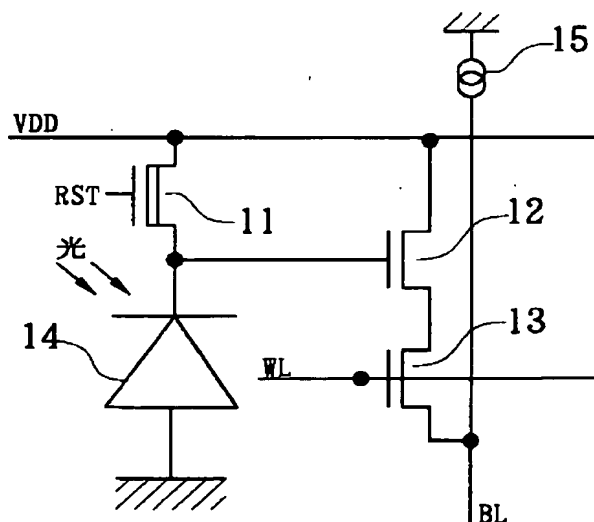
最終頁に続く

(54)【発明の名称】 イメージセンサ

(57)【要約】

【課題】 光電変換電圧出力のダイナミックレンジが広いとともに、ブルーミング現象防止用の降圧電源を必要としないイメージセンサを提供する。

【解決手段】 開示されるイメージセンサは、入力光レベルに応じた光電変換電圧を発生するフォトダイオード14と、リセット信号RSTに応じて活性化して電源VDDからフォトダイオード14を初期化するトランジスタ11と、電源VDDとビット線BL間に接続されたとき光電変換電圧を増幅してビット線BLに出力するトランジスタ12と、ワード線読み出し制御信号WLによって活性化してトランジスタ12とビット線BLを接続するトランジスタ13とからなるピクセル回路において、トランジスタ11をデプレッション型トランジスタによって構成する。



【特許請求の範囲】

【請求項1】 入力光レベルに応じた光電変換電圧を発生する受光素子と、リセット信号に応じて活性化して電源から前記受光素子を初期化する第1のトランジスタと、前記電源とビット線間に接続されたとき前記光電変換電圧を増幅して該ビット線に出力する第2のトランジスタと、ワード線読み出し制御信号によって活性化して該第2のトランジスタと前記ビット線を接続する第3のトランジスタとからなるピクセル回路において、前記第1のトランジスタをデプレッション型トランジスタとしたことを特徴とするイメージセンサ。

【請求項2】 前記電源を昇圧電源とするとともに、前記第1のトランジスタ及び第2のトランジスタを高耐圧型トランジスタとしたことを特徴とする請求項1記載のイメージセンサ。

【請求項3】 入力光レベルに応じた光電変換電圧を発生する受光素子と、リセット信号に応じて活性化して電源から前記受光素子を初期化する第1のトランジスタと、前記電源とビット線間に接続されたとき前記光電変換電圧を増幅して該ビット線に出力する第2のトランジスタと、ワード線読み出し制御信号によって活性化して該第2のトランジスタとビット線を接続する第3のトランジスタと、ゲート信号に応じて活性化して前記第1のトランジスタと前記受光素子を接続する第4のトランジスタとからなるピクセル回路において、前記第1のトランジスタと第4のトランジスタをデプレッション型トランジスタとしたことを特徴とするイメージセンサ。

【請求項4】 前記電源を昇圧電源とするとともに、前記第1のトランジスタと第2のトランジスタと第4のトランジスタとを高耐圧型トランジスタとしたことを特徴とする請求項3記載のイメージセンサ。

【請求項5】 前記受光素子がフォトダイオードからなることを特徴とする請求項1乃至4記載のイメージセンサ。

【請求項6】 前記受光素子がフォトトランジスタからなることを特徴とする請求項1乃至4記載のイメージセンサ。

【請求項7】 前記各トランジスタがNチャネルMOS型FETからなることを特徴とする請求項1乃至6記載のイメージセンサ。

【請求項8】 前記各トランジスタがPチャネルMOS型FETからなることを特徴とする請求項1乃至6記載のイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、MOS (Metal Oxide Semiconductor) 型イメージセンサに係り、特に、ピクセル受光部を初期化するトランジスタ群にデプレッション型トランジスタを用いたイメージセンサに関する。

【0002】

【従来の技術】 イメージセンサは、テレビカメラ等において、外部から取り込まれた光学的画像情報を電気信号に変換するためのセンサとして用いられるものであって、多数のピクセルを平面上にマトリクス状に配置した構成を有する。MOS型イメージセンサは、光電変換素子としてフォトダイオードまたはフォトトランジスタを有するとともに、その周辺回路をMOS型FET (Field Effect Transistor) によって構成したピクセル回路からなるものであって、従来多く用いられているCCD (Charge Coupled Device) 型イメージセンサと比較して、低消費電力、低コスト等の特長を有するものである。

【0003】 従来のMOS型イメージセンサにおいては、ピクセル回路における受光部を初期化するためのトランジスタ群として、製造が容易なエンハンスメント (Enhancement) 型トランジスタを用いるのが一般的であった。

【0004】 図7は、従来のMOS型イメージセンサにおける単位のピクセル回路の構成例(1)を示したものであって、Nチャネルトランジスタによって構成した例を示している。図7の回路において、リセット用トランジスタ1は、リセット信号RSTがハイレベルになったとき、電源電圧VDDをフォトダイオード4に供給することによって、光電変換動作開始状態にリセットする。増幅用トランジスタ2は、電流源5とともにソースフォロアを形成して、フォトダイオード4の光電変換電圧を増幅する。ビット線出力用トランジスタ3は、ワード線読み出し制御信号WLがハイレベルになったときオンして、トランジスタ2をビット線BLを介して電流源5に接続する。トランジスタ1、2、3は、エンハンスメント型トランジスタからなっている。フォトダイオード4は、光入力レベルに対応した光電変換電圧を発生する。電流源5は、トランジスタ3がオンのとき、トランジスタ2に電流を供給して、ソースフォロアとしての動作を行わせる。

【0005】 以下、図7に示された従来のMOS型イメージセンサの動作を説明する。第1の動作例では、未露光状態で、リセット信号RSTによってトランジスタ1を活性化して、フォトダイオード4を $V_{DD}-V_t$ (V_t はトランジスタ1の閾値電圧) に充電することによって初期化した後、フォトダイオード4の露光を開始する。光入力に基づくフォトダイオード4の光電効果によって、入力光レベルに応じてフォトダイオード4に生じた光電変換電圧を、ソースフォロアを形成するトランジスタ2によって、そのトランスコンダクタンス $g_m (= I/V)$ に応じて増幅する。そして任意の時間後に、ワード線読み出し制御信号WLに応じてトランジスタ3を活性化して(このとき露光終了)、トランジスタ2で増幅された信号を、ビット線BLに出力する。

【0006】また第2の動作例では、未露光状態で、リセット信号RSTを $V_{DD}+V_t$ (V_t はトランジスタ1の閾値電圧)以上に昇圧することでトランジスタ1を活性化して、フォトダイオード4を電圧 V_{DD} に充電することによって初期化した後、フォトダイオード4の露光を開始する。以後、第1の動作例の場合と同様に、フォトダイオード4の光電変換電圧を、ソースフォロアを形成するトランジスタ2によって増幅し、任意の時間後に、ワード線読み出し制御信号WLに応じてトランジスタ3を活性化して(露光終了)、信号をビット線BLに出力する。

【0007】図8は、従来のMOS型イメージセンサにおける単位のピクセル回路の構成例(2)を示したものであって、Nチャネルトランジスタによって構成した例を示している。図8の回路において、トランジスタ1と、トランジスタ2と、トランジスタ3と、フォトダイオード4と、電流源5とは、図7に示された構成例

(1)と同様であるが、トランスファゲートを構成するトランジスタ6を有する点が構成例(1)と大きく異なっている。トランジスタ6は、エンハンスメント型トランジスタからなり、常時は、フォトダイオード4をトランジスタ1のソースとトランジスタ2のゲートとの接続点から切り離しているが、ゲート信号TGがハイレベルになったときオンして、フォトダイオード4をこの接続点に接続する作用を行う。

【0008】以下、図8に示された従来のMOS型イメージセンサの動作を説明する。第1の動作例では、未露光状態で、リセット信号RSTによってトランジスタ1を活性化するとともに、ゲート信号TGによってトランジスタ6を活性化して、フォトダイオード4を $V_{DD}-V_t$ (V_t はトランジスタ1の閾値電圧)に充電することによって初期化した後、ゲート信号TGをオフにして、フォトダイオード4をトランジスタ1のソースから切り離した状態で、フォトダイオード4の露光を開始する。任意の時間後に再びゲート信号TGによってトランジスタ6を活性化して(このとき露光終了)、光入力に基づくフォトダイオード4の光電効果によって、入力光レベルに応じてフォトダイオード4に生じた光電変換電圧を、トランジスタ2のゲート容量によって形成される一時メモリ部7に読み出したのち、ゲート信号TGをオフにして、フォトダイオード4を一時メモリ部7から切り離す。そして一時メモリ部7に保持された電圧を、ソースフォロアを形成するトランジスタ2によって、そのトランスコンダクタンス $g_m (= I/V)$ に応じて増幅し、ワード線読み出し制御信号WLに応じてトランジスタ3を活性化することによって、トランジスタ2で増幅された信号を、ビット線BLに出力する。

【0009】また第2の動作例では、未露光状態で、リセット信号RST及びゲート信号TGを $V_{DD}+V_t$ (V_t はトランジスタ1の閾値電圧)以上に昇圧するこ

とで、トランジスタ1及びトランジスタ6を活性化して、フォトダイオード4を電圧 V_{DD} に充電することによって初期化した後、ゲート信号TGをオフにして、フォトダイオード4をトランジスタ1のゲートから切り離した状態で、フォトダイオード4の露光を開始する。以後、第1の動作例の場合と同様に、任意の時間後に、再びゲート信号TGによってトランジスタ6を活性化して(露光終了)、フォトダイオード4の光電変換電圧を、一時メモリ部7に読み出したのち、フォトダイオード4を一時メモリ部7から切り離す。そして一時メモリ部7に保持された電圧を、ソースフォロアを形成するトランジスタ2によって増幅し、ワード線読み出し制御信号WLに応じてトランジスタ3を活性化することによって、トランジスタ2で増幅された信号を、ビット線BLに出力する。

【0010】

【発明が解決しようとする課題】図7に示された構成例(1)において、第1の動作例の場合は、フォトダイオード4の初期化レベルは、電源電圧 V_{DD} より、リセット用トランジスタ1の閾値電圧 V_t だけ低下する。そのため、出力信号のダイナミックレンジが狭くなる、という問題がある。また、第2の動作例の場合は、リセット用トランジスタ1を活性化する際、リセット信号RSTを昇圧レベル $V_{DD}+V_t$ とするため、昇圧電源が必要となる。また、トランジスタ1は、昇圧レベル $V_{DD}+V_t$ が印加されるため、ゲート酸化膜を厚くする等の高耐圧対策を施したものとする必要があるという問題がある。さらに、第1の動作例と第2の動作例のいずれの場合も、過大な光入力レベルによって、フォトダイオード4の電圧が過度に低下した場合、拡散層を介する電流によって周辺部のフォトダイオードの電圧も低下するため、周辺部の画像に光りの滲みを生じる、いわゆるブルーミング現象が発生することがあるが、この現象の発生を防止するため、リセット用トランジスタ1のゲートを適当な値の低電圧を有する引き抜き用降圧電源に接続することによって、フォトダイオード4の電圧が一定限度以下に低下しないようにする対策が必要になるという問題がある。

【0011】図8に示された構成例(2)において、第1の動作例の場合は、フォトダイオード4の初期化レベルは、電源電圧 V_{DD} より、リセット用トランジスタ1の閾値電圧 V_t だけ低下する。そのため、出力信号のダイナミックレンジが狭くなるという問題がある。また、第2の動作例の場合は、リセット用トランジスタ1及びゲート用トランジスタ6を活性化する際、リセット信号RST及びゲート信号TGを昇圧レベル $V_{DD}+V_t$ とするため、昇圧電源が必要となる。また、トランジスタ1及びトランジスタ6は、ゲートに昇圧レベル $V_{DD}+V_t$ が印加されるため、ゲート酸化膜を厚くする等の高耐圧対策を施したものとする必要があるという問題があ

る。さらに、第1の動作例と第2の動作例のいずれの場合も、過大な光入力レベルに基づくブルーミング現象の発生を防止するため、リセット用トランジスタ1及びゲート用トランジスタ6のゲートを適当な値の低電圧を有する引き抜き用降圧電源に接続することによって、フォトダイオード4の電圧が一定限度以下に低下しないようにする対策が必要になるという問題がある。

【0012】この発明は、上述の事情に鑑みてなされたものであって、フォトダイオード出力信号のダイナミックレンジを広くすることができるとともに、フォトダイオードの初期化レベルを上げるための昇圧電源を必要とせず、またリセット用トランジスタ、増幅用トランジスタ及びゲート用トランジスタとして高耐圧トランジスタを必要とせず、さらにブルーミング現象防止のために引き抜き用降圧電源を必要としない、MOS型イメージセンサを提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、イメージセンサに係り、入力光レベルに応じた光電変換電圧を発生する受光素子と、リセット信号に応じて活性化して電源から上記受光素子を初期化する第1のトランジスタと、上記電源とビット線間に接続されたとき上記光電変換電圧を増幅して該ビット線に出力する第2のトランジスタと、ワード線読み出し制御信号によって活性化して該第2のトランジスタと上記ビット線を接続する第3のトランジスタとからなるピクセル回路において、上記第1のトランジスタをデプレッション型トランジスタとしたことを特徴としている。

【0014】請求項2記載の発明は、請求項1記載のイメージセンサに係り、上記電源を昇圧電源とするとともに、上記第1のトランジスタ及び第2のトランジスタを高耐圧型トランジスタとしたことを特徴としている。

【0015】請求項3記載の発明は、イメージセンサに係り、入力光レベルに応じた光電変換電圧を発生する受光素子と、リセット信号に応じて活性化して電源から上記受光素子を初期化する第1のトランジスタと、上記電源とビット線間に接続されたとき上記光電変換電圧を増幅して該ビット線に出力する第2のトランジスタと、ワード線読み出し制御信号によって活性化して該第2のトランジスタとビット線を接続する第3のトランジスタと、ゲート信号に応じて活性化して上記第1のトランジスタと上記受光素子を接続する第4のトランジスタとからなるピクセル回路において、上記第1のトランジスタと第4のトランジスタをデプレッション型トランジスタとしたことを特徴としている。

【0016】請求項4記載の発明は、請求項3記載のイメージセンサに係り、上記電源を昇圧電源とするとともに、上記第1のトランジスタと第2のトランジスタと第4のトランジスタとを高耐圧型トランジスタとしたこと

を特徴としている。

【0017】請求項5記載の発明は、請求項1乃至4記載のイメージセンサに係り、上記受光素子がフォトダイオードからなることを特徴としている。

【0018】請求項6記載の発明は、請求項1乃至4記載のイメージセンサに係り、上記受光素子がフォトトランジスタからなることを特徴としている。

【0019】請求項7記載の発明は、請求項1乃至6記載のイメージセンサに係り、上記各トランジスタがNチャネルMOS型FETからなることを特徴としている。

【0020】請求項8記載の発明は、請求項1乃至6記載のイメージセンサに係り、上記各トランジスタがPチャネルMOS型FETからなることを特徴としている。

【0021】

【作用】この発明の構成では、受光素子が、入力光レベルに応じた光電変換電圧を発生し、第1のトランジスタが、リセット信号に応じて活性化して電源から上記受光素子を初期化し、第2のトランジスタが、上記電源とビット線間に接続されたとき上記光電変換電圧を増幅して該ビット線に出力し、第3のトランジスタが、ワード線読み出し制御信号によって活性化して該第2のトランジスタと上記ビット線を接続するように構成されたピクセル回路を備えたイメージセンサにおいて、上記第1のトランジスタをデプレッション型トランジスタとしたので、光電変換電圧出力のダイナミックレンジが広くなるとともに、ブルーミング現象防止のための引き抜き用降圧電源が不要になる。

【0022】またこの発明の別の構成では、受光素子が、入力光レベルに応じた光電変換電圧を発生し、第1のトランジスタが、リセット信号に応じて活性化して電源から上記受光素子を初期化し、第2のトランジスタが、上記電源とビット線間に接続されたとき上記光電変換電圧を増幅して該ビット線に出力し、第3のトランジスタが、ワード線読み出し制御信号によって活性化して該第2のトランジスタとビット線を接続し、第4のトランジスタが、ゲート信号に応じて活性化して上記第1のトランジスタと上記受光素子を接続するように構成されたピクセル回路を備えたイメージセンサにおいて、上記第1のトランジスタと第2のトランジスタをデプレッション型トランジスタとしたので、光電変換電圧出力のダイナミックレンジが広くなるとともに、ブルーミング現象防止のための引き抜き用降圧電源が不要になる。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行なう。

◇第1実施例

図1は、この発明の第1実施例であるイメージセンサにおける単位のピクセル回路の構成を示す図であって、Nチャネルトランジスタによって構成した例を示してい

る。また、図2は、同実施例のイメージセンサの構成と動作を説明する図である。この例のピクセル回路は、リセット用トランジスタ11と、増幅用トランジスタ12と、ビット線出力用トランジスタ13と、フォトダイオード14と、電流源15とから概略構成されている。この例において、トランジスタ12、トランジスタ13は、エンハンスメント型トランジスタからなっているが、トランジスタ11はデプレッション型トランジスタからなっている。

【0024】トランジスタ11は、リセット信号RSTがハイレベルになったとき、電源電圧VDDをフォトダイオード14に供給することによって、光電変換動作開始状態にリセットする作用を行う。トランジスタ12は、電流源15とともにソースフォロアを形成して、フォトダイオード14の光電変換電圧を増幅する作用を行う。ビット線出力用トランジスタ13は、ワード線読み出し制御信号WLがハイレベルになったときオンして、トランジスタ12をビット線BLを介して電流源15に接続する作用を行う。フォトダイオード14は、光入力レベルに対応した光電変換電圧を発生する作用を行う。また、電流源15は、トランジスタ13がオンのとき、トランジスタ12に電流を供給して、ソースフォロアとしての動作を行わせる。

【0025】以下、図1を参照して、この例のイメージセンサにおけるピクセル回路の動作を説明する。未露光状態で、リセット信号RSTによってトランジスタ11を活性化して、フォトダイオード14を電源電圧VDDに充電することによって初期化した後、フォトダイオード14の露光を開始する。光入力に基づくフォトダイオード14の光電効果によって、入力光レベルに応じてフォトダイオード14に生じた光電変換電圧を、ソースフォロアを形成するトランジスタ12によって、そのトランスコンダクタンス $g_m (= 1/V)$ に応じて増幅する。そして任意の時間後に、ワード線読み出し制御信号WLに応じてトランジスタ13を活性化して（このとき露光終了）、トランジスタ12で増幅された信号を、ビット線BLに出力する。

【0026】図2においては、この例のピクセル回路を用いたイメージセンサの構成と動作を説明している。図2(a)は、2行2列のピクセル回路P1、P2、P3、P4からなるピクセルアレイ21を有するイメージセンサの構成を例示し、図中、22はアドレスデコーダ、23はロウースキャンシフトレジスタ、24はカラムスキャンシフトレジスタ、25はロウドライバ、26はクロック制御回路である。アドレスデコーダ22は、外部からのアドレス信号に応じて、垂直方向と水平方向の先頭アドレスを生成して、ロウースキャンシフトレジスタ23とカラムスキャンシフトレジスタ24に供給する。ロウースキャンシフトレジスタ23は、クロックに応じて、垂直方向の先頭アドレスから、順次シフ

トするロウアドレスを生成してロウドライバ25に供給する。ロウドライバ25は、ロウアドレスに応じて、ピクセルアレイ21におけるロウアドレスに対応するリセット信号RST0、RST1とワード線読み出し制御信号WL0、WL1を供給する。カラムスキャンシフトレジスタ24は、クロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルアレイ21におけるカラムアドレスに対応するビット線読み出し制御信号YSW0、YSW1を供給する。クロック制御回路26は、外部からのクロック信号に応じて、アドレスデコーダ22、ロウースキャンシフトレジスタ23、カラムスキャンシフトレジスタ24に対して、所要のクロックを供給する。

【0027】図2(b)は、図2(a)に示されたイメージセンサの動作をタイミングチャートによって説明している。動作周期のはじめに、ロウドライバ25からリセット信号RST0、RST1を順次供給することによって、ピクセル回路P1、P2及びP3、P4において、フォトダイオード14が充電される。次にリセット信号をオフにして露光を行い、任意の時間後に、各ワード線に対応する読み出し制御信号WL0、WL1を順次供給する（図2(b)①）ことによって、ソースフォロアのトランジスタ12で増幅されたピクセルの光電変換電圧を、ビット線出力用トランジスタ13を経てビット線BL0、BL1に出力するとともに、水平読み出し制御信号HSWを供給して、トランジスタHS0、HS1をオンにすることによって、ビット線BL0、BL1の信号電圧を容量C0、C1に保持する。次に水平読み出し制御信号HSWをオフにし、ビット線読み出し制御信号YSW0、YSW1を供給して、トランジスタYS0、YS1をオンにすることによって、容量C0、C1に保持された信号電圧を順次出力する（図2(b)②、③）。なお、実際には、図2(a)の回路において、上記と同様の動作を各ピクセル回路におけるフォトダイオードの充電直後に行って、未露光時の光電変換電圧を出力し、図示されない外部回路において露光後の光電変換電圧から減算することによって、フォトダイオードの間電流に対応する雑音を除去する雑音制御が行われる。

【0028】この例のイメージセンサでは、リセット用トランジスタ11にデプレッション型トランジスタを使用したため、ピクセル回路の初期化時、リセット用トランジスタ11の閾値電圧の影響を受けることなく、フォトダイオード14を電源電圧VDDレベルまで充電することができ、従って、光電変換電圧出力のダイナミックレンジが広がる。また、過大な光入力レベルによって、フォトダイオードに過大な光電流が流れた場合に、リセット用トランジスタ11のゲートを0Vに保ったまま、フォトダイオードに蓄積した過剰な電荷を引き抜くことができるので、ブルーミング現象の防止のために、引き抜き用の降圧電源を必要としない。

【0029】◇第2実施例

図3は、この発明の第2実施例であるイメージセンサにおける単位のピクセル回路の構成を示す図であって、Nチャネルトランジスタによって構成した例を示している。この例のピクセル回路は、リセット用トランジスタ11Aと、増幅用トランジスタ12Aと、ビット線出力用トランジスタ13と、フォトダイオード14と、電流源15とから概略構成されている。ここで、トランジスタ12A、トランジスタ13は、エンハンスメント型トランジスタからなっているが、トランジスタ12Aは高耐圧型とする。またトランジスタ11Aは、高耐圧デプレッション型トランジスタからなっている。

【0030】トランジスタ11Aは、リセット信号RSTがハイレベルになったとき、昇圧電源電圧VBOOTをフォトダイオード14に供給することによって、光電変換動作開始状態にリセットする作用を行う。トランジスタ12Aは、電流源15とともにソースフォロアを形成して、フォトダイオード14の光電変換電圧を増幅する作用を行う。ビット線出力用トランジスタ13は、ワード線読み出し制御信号WLがハイレベルになったときオンして、トランジスタ12Aをビット線BLを介して電流源15に接続する作用を行う。フォトダイオード14は、光入力レベルに対応した光電変換電圧を発生する作用を行う。電流源15は、トランジスタ13がオンのとき、トランジスタ12Aに電流を供給して、ソースフォロアとしての動作を行わせる。

【0031】この例のピクセル回路は、図1に示された第1実施例の場合と比べて、フォトダイオード14を昇圧電源電圧VBOOTによって初期化するように構成されており、そのために、リセット用トランジスタ11A、増幅用トランジスタ12Aとして高耐圧型トランジスタを使用するようになっているが、ピクセル回路としての動作は、第1実施例の場合と同様である。

【0032】この例のイメージセンサでは、リセット用トランジスタ11Aに高耐圧デプレッション型トランジスタを使用したので、ピクセル回路の初期化時、リセット用トランジスタ11Aの閾値電圧の影響を受けることなく、フォトダイオード14を昇圧電源電圧VBOOTレベルまで充電することができ、従って、光電変換電圧出力のダイナミックレンジがより広くなる。なおこの場合、増幅用トランジスタ12Aにも、昇圧電源電圧VBOOTが印加されるので、トランジスタ12Aは、高耐圧エンハンスメント型トランジスタとする必要がある。また、過大な光入力レベルによって、フォトダイオードに過大な光電流が流れた場合に、リセット用トランジスタ11Aのゲートを0Vに保ったまま、フォトダイオードに蓄積した過剰な電荷を引き抜くことができるので、ブルーミング現象の防止のために、引き抜き用の降圧電源を必要としない。

【0033】◇第3実施例

図4は、この発明の第3実施例であるイメージセンサにおける単位のピクセル回路の構成を示す図であって、Nチャネルトランジスタによって構成した例を示している。また、図5は、同実施例のイメージセンサの構成と動作を説明する図である。この例のピクセル回路は、リセット用トランジスタ11と、増幅用トランジスタ12と、ビット線出力用トランジスタ13と、フォトダイオード14と、電流源15と、トランスファゲート用トランジスタ16とから概略構成されている。ここで、トランジスタ12、トランジスタ13は、エンハンスメント型トランジスタからなっているが、トランジスタ11、トランジスタ16はデプレッション型トランジスタからなっている。

【0034】この例において、トランジスタ11と、トランジスタ12と、トランジスタ13と、フォトダイオード14と、電流源15とは、図1に示された第1実施例と同様であるが、フォトダイオード14と直列にトランスファゲートを構成するトランジスタ16を有する点が第1実施例と大きく異なっている。トランジスタ16は、常時は、フォトダイオード14をトランジスタ11のソースとトランジスタ12のゲートとの接続点から切り離しているが、ゲート信号TGがハイレベルになったときオンして、フォトダイオード14をこの接続点に接続する作用を行う。

【0035】以下、図4を参照して、この例のイメージセンサにおけるピクセル回路の動作を説明する。未露光状態で、リセット信号RSTによってトランジスタ11を活性化するとともに、ゲート信号TGによってトランジスタ16を活性化して、フォトダイオード14を電源電圧VDDに充電することによって初期化した後、ゲート信号TGをオフにして、フォトダイオード14をトランジスタ11のソースから切り離した状態で、フォトダイオード14の露光を開始する。任意の時間後に再びゲート信号TGによってトランジスタ16を活性化して（このとき露光終了）、光入力に基づくフォトダイオード14の光電効果によって、入力光レベルに応じてフォトダイオード14に生じた光電変換電圧を、トランジスタ12のゲート容量によって形成される一時メモリ部17に読み出したのち、ゲート信号TGをオフにして、フォトダイオード14を一時メモリ部17から切り離す。そして一時メモリ部17に保持された電圧を、ソースフォロアを形成するトランジスタ12によって、そのトランスコンダクタンス $g_m (= I/V)$ に応じて増幅する。そしてワード線読み出し制御信号WLに応じてトランジスタ13を活性化することによって、トランジスタ12で増幅された信号を、ビット線BLに出力する。

【0036】図5においては、この例のピクセル回路を用いたイメージセンサの構成と動作を説明している。図5(a)は、2行2列のピクセル回路P11、P12、P13、P14からなるピクセルアレイ21Aを有する

イメージセンサの構成を例示し、図中、22はアドレスデコーダ、23はロウスキャンシフトレジスタ、24はカラムスキャンシフトレジスタ、25はロウドライバ、26はクロック制御回路である。アドレスデコーダ22は、外部からのアドレス信号に応じて、垂直方向と水平方向の先頭アドレスを生成して、ロウスキャンシフトレジスタ23と、カラムスキャンシフトレジスタ24とに供給する。ロウスキャンシフトレジスタ23は、クロックに応じて、垂直方向の先頭アドレスから、順次シフトするロウアドレスを生成する。ロウドライバ25は、ロウアドレスに応じて、ピクセルアレイ21におけるロウアドレスに対応するリセット信号RST0、RST1及びゲート信号TG0、TG1と、ワード線読み出し制御信号WL0、WL1を供給する。カラムスキャンシフトレジスタ24は、クロックに応じて、水平方向の先頭アドレスから、順次シフトするカラムアドレスを生成して、ピクセルアレイ21Aにおけるカラムアドレスに対応するビット線読み出し制御信号YSW0、YSW1を供給する。クロック制御回路26は、外部からのクロック信号に応じて、アドレスデコーダ22、ロウスキャンシフトレジスタ23、カラムスキャンシフトレジスタ24に対して、所要のクロックを供給する。

【0037】図5(b)は、図5(a)に示されたイメージセンサの動作をタイミングチャートによって説明している。動作周期のはじめに、ロウドライバ25からリセット信号RST0、RST1及びゲート信号TG0、TG1を順次供給することによって、ピクセル回路P11、P12及びP13、P14において、フォトダイオード14が充電される。次にリセット信号RST0、RST1をオフにしたのち、ゲート信号TG0、TG1を一旦オフにして露光を行い、任意の時間後に、ゲート信号TG0、TG1を再びオンにして、フォトダイオード14の光電変換電圧を一時メモリ部17に読み出し、各ワード線に対応する読み出し制御信号線WL0、WL1を順次供給する(図5(b)①)ことによって、ソースフォロアのトランジスタ12で増幅されたピクセルの光電変換電圧を、ビット線出力用トランジスタ13を経てビット線BL0、BL1に出力するとともに、水平読み出し制御信号HSWを供給してトランジスタHS0、HS1をオンにすることによって、ビット線BL0、BL1の信号電圧を容量C0、C1に保持する。次に水平読み出し制御信号HSWをオフにし、ビット線読み出し制御信号YSW0、YSW1を供給して、トランジスタYS0、YS1をオンにすることによって、容量C0、C1に保持された信号電圧を順次出力する(図5(b)②、③)。なお、実際には、図5(a)の回路において、上記と同様の動作を各ピクセル回路におけるフォトダイオードの充電直後に行って、未露光時の光電変換電圧を出力し、図示されない外部回路において露光後の光

電変換電圧から減算することによって、フォトダイオードの暗電流に対応する雑音を除去する雑音制御が行われる。

【0038】この例のイメージセンサでは、リセット用トランジスタ11、トランスファゲート用トランジスタ16としてデプレッション型トランジスタを使用したので、ピクセル回路の初期化時、リセット用トランジスタ11、トランスファゲート用トランジスタ16の閾値電圧の影響を受けることなく、フォトダイオード14を電源電圧VDDレベルまで充電することができ、従って、光電変換電圧出力のダイナミックレンジが広がる。また、第1実施例の場合と比較して、露光時、フォトダイオード14と一時メモリ部17とを切り離すので、光電変換効率が向上するとともに、フォトダイオード14を切り離してから、ビット線への光電変換電圧読み出しを行うので、読み出し可能時間を長くすることができる。さらに、過大な光入力レベルによって、フォトダイオードに過大な光電流が流れた場合に、リセット用トランジスタ11のゲートを0Vに保ったままで、フォトダイオードに蓄積した過剰な電荷を引き抜くことができるので、ブルーミング現象の防止のために、引き抜き用の降圧電源を必要としない。

【0039】◇第4実施例

図6は、この発明の第4実施例であるイメージセンサにおける単位のピクセル回路の構成を示す図であって、Nチャネルトランジスタによって構成した例を示している。この例のピクセル回路は、リセット用トランジスタ11Aと、増幅用トランジスタ12Aと、ビット線出力用トランジスタ13と、フォトダイオード14と、電流源15と、トランスファゲート用トランジスタ16Aとから概略構成されている。ここで、トランジスタ12A、トランジスタ13は、エンハンスメント型トランジスタからなっているが、トランジスタ12Aは高耐圧型とする。またトランジスタ11A、16Aは、高耐圧デプレッション型トランジスタからなっている。

【0040】トランジスタ11Aは、リセット信号RSTがハイレベルになったとき、昇圧電源電圧VBOOTをフォトダイオード14に供給することによって、光電変換動作開始状態にリセットする作用を行う。トランジスタ12Aは、電流源15とともにソースフォロアを形成して、フォトダイオード14の光電変換電圧を増幅する作用を行う。ビット線出力用トランジスタ13は、ワード線読み出し制御信号WLがハイレベルになったときオンして、トランジスタ12Aをビット線BLを介して電流源15に接続する作用を行う。フォトダイオード14は、光入力レベルに対応した光電変換電圧を発生する作用を行う。電流源15は、トランジスタ13がオンの時、トランジスタ12Aに電流を供給して、ソースフォロアとしての動作を行わせる。トランジスタ16Aは、常時は、フォトダイオード14をトランジスタ11Aの

ソースとトランジスタ12Aのゲートとの接続点から切り離しているが、ゲート信号TGがハイレベルになったときオンになって、フォトダイオード14をこの接続点に接続する作用を行う。

【0041】この例のピクセル回路は、図4に示された第3実施例の場合と比べて、フォトダイオード14を昇圧電源電圧VBOTによって初期化するように構成されており、そのために、リセット用トランジスタ11A、増幅用トランジスタ12A、トランスファゲート用トランジスタ16Aとして高耐圧型トランジスタを使用するようになっているが、ピクセル回路としての動作は、第3実施例の場合と同様である。

【0042】この例のイメージセンサでは、リセット用トランジスタ11A、ゲート用トランジスタ16Aに高耐圧デプレッション型トランジスタを使用したので、ピクセル回路の初期化時、リセット用トランジスタ11Aの閾値電圧の影響を受けることなく、フォトダイオード14を昇圧電源電圧VBOTレベルまで充電することができ、従って、光電変換電圧出力のダイナミックレンジがより広がる。なおこの場合、増幅用トランジスタ12Aにも、昇圧電源電圧VBOTが印加されるので、トランジスタ12Aは、高耐圧エンハンスメント型トランジスタとする必要がある。また、第2実施例の場合と比較して、露光時、フォトダイオード14と一時メモリ部17とを切り離すので、光電変換効率が向上するとともに、フォトダイオード14を切り離してから、ビット線への光電変換電圧読み出しを行うので、読み出し可能時間を長くすることができる。さらに、過大な光入力レベルによって、フォトダイオードに過大な光電流が流れた場合に、リセット用トランジスタ11Aのゲートを0Vに保ったまま、フォトダイオードに蓄積した過剰な電荷を引き抜くことができるので、ブルーミング現象の防止のために、引き抜き用の降圧電源を必要としない。

【0043】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、ピクセル回路を構成するトランジスタとしては、Nチャネル型に限らず、Pチャネルトランジスタを使用することもできる。また各ピクセル回路において、光入力レベルを電圧出力に変換するための光電変換素子としては、各実施例に記載したフォトダイオードに限らず、フォトリンジスタを使用することもでき、これによって、光電変換効率をより向上させることができる。

【0044】

【発明の効果】以上説明したように、この発明のイメージセンサによれば、ピクセル受光部を初期化するためのトランジスタ群を、デプレッション型トランジスタによって構成したので、ピクセル受光部の初期化レベルを上げるための昇圧電源を用いることなしに、ピクセルの光電変換電圧出力のダイナミックレンジを広くすることができる。さらに、ピクセル受光部の初期化に昇圧電源を使用すれば、光電変換出力電圧のダイナミックレンジをより広くすることも可能である。また、過大な光入力レベルによってピクセル受光部のフォトダイオードに過剰な電荷が蓄積した場合に、ブルーミング現象の発生を防止するために必要となる、ピクセル受光部を初期化するためのトランジスタ群を介する電荷の引き抜きを、これらのトランジスタ群を駆動するための降圧電源を用いることなく行えるので、回路構成を簡単化することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例であるピクセル回路の構成を示す図である。

【図2】同実施例のイメージセンサの構成と動作を説明するための図である。

【図3】この発明の第2実施例であるピクセル回路の構成を示す図である。

【図4】この発明の第3実施例であるピクセル回路の構成を示す図である。

【図5】同実施例のイメージセンサの構成と動作を説明するための図である。

【図6】この発明の第4実施例であるピクセル回路の構成を示す図である。

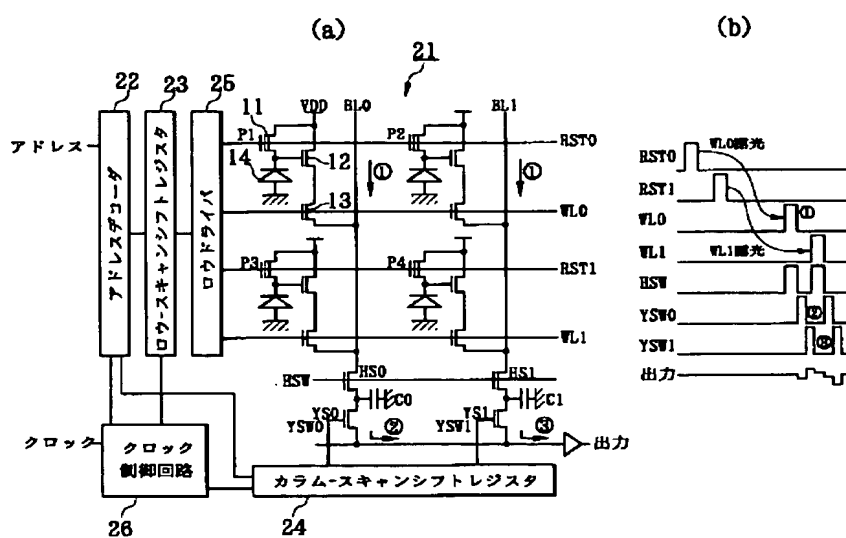
【図7】従来のMOS型イメージセンサにおけるピクセル回路の構成例(1)を示す図である。

【図8】従来のMOS型イメージセンサにおけるピクセル回路の構成例(2)を示す図である。

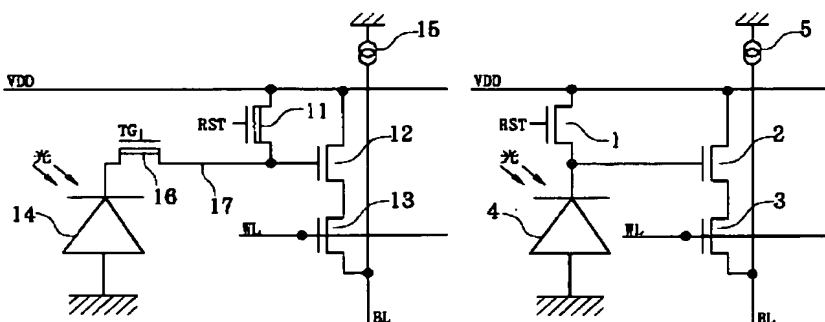
【符号の説明】

11, 11A	リセット用トランジスタ(第1のトランジスタ)
12, 12A	増幅用トランジスタ(第2のトランジスタ)
13	ビット線出力用トランジスタ(第3のトランジスタ)
14	フォトダイオード(受光素子)
15	電流源
16, 16A	トランスファゲート用トランジスタ(第4のトランジスタ)

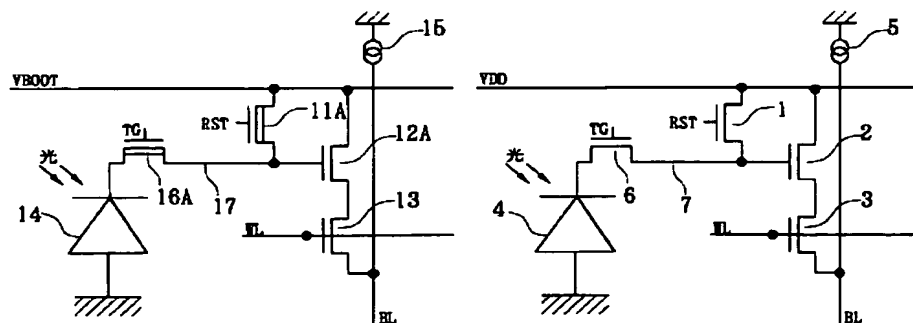
【圖 2】



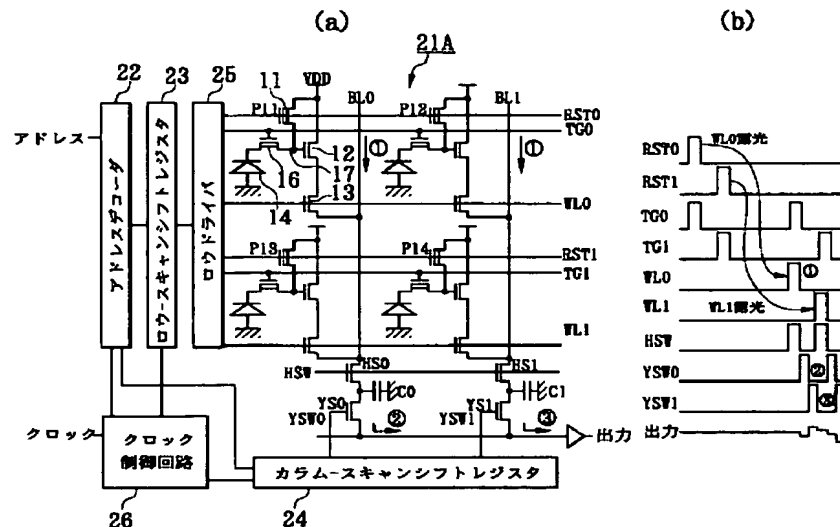
【图7】



【图8】



【図5】



【手続補正書】

【提出日】平成11年11月16日（1999. 11. 16）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項5

【補正方法】変更

【補正内容】

【請求項5】 前記受光素子がフォトダイオードからなることを特徴とする請求項1乃至4の何れかに記載のイメージセンサ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項6

【補正方法】変更

【補正内容】

【請求項6】 前記受光素子がフォトトランジスタからなることを特徴とする請求項1乃至4の何れかに記載のイメージセンサ。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 前記各トランジスタがNチャネルMOS型FETからなることを特徴とする請求項1乃至6の何れかに記載のイメージセンサ。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正内容】

【請求項8】 前記各トランジスタがPチャネルMOS型FETからなることを特徴とする請求項1乃至6の何れかに記載のイメージセンサ。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】請求項5記載の発明は、請求項1乃至4の何れかに記載のイメージセンサに係り、上記受光素子がフォトダイオードからなることを特徴としている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項6記載の発明は、請求項1乃至4の何れかに記載のイメージセンサに係り、上記受光素子がフォトトランジスタからなることを特徴としている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】請求項7記載の発明は、請求項1乃至6の何れかーに記載のイメージセンサに係り、上記各トランジスタがNチャネルMOS型FETからなることを特徴としている。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】請求項8記載の発明は、請求項1乃至6の何れかーに記載のイメージセンサに係り、上記各トランジスタがPチャネルMOS型FETからなることを特徴としている。

フロントページの続き

(72)発明者 中柴 康隆

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 永田 豪

東京都港区芝五丁目7番1号 日本電気株式会社内

Fターム(参考) 4M118 AA02 AA10 AB01 BA14 CA02
DB01 DD09 DD12 FA06
5C024 AA01 CA15 FA01 FA11 GA01
GA02 GA31 GA33 GA41